

[Handwritten signature]
Patent

Attorney's Docket No. 027260-505

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)
Koji NII et al.) Group Art Unit: Unassigned
Application No.: Unassigned) Examiner: Unassigned
Filed: December 6, 2001)
For: SEMICONDUCTOR DEVICE)
)
)
)

JCE87 U.S. PRO
10/003404
12/06/01



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-070921

Filed: March 13, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

By:

Platon N. Mandros
Registration No. 22,124

Date: December 6, 2001

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

JCE57 U.S. PRO
10/003404
12/06/01


Date of Application : March 13, 2001

Application Number : Japanese Patent Application No. 2001-070921

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA

This 6th day of April, 2001

Commissioner,
Patent Office Kozo OIKAWA

Certificate No. 2001-3027514

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2001年 3月13日

出願番号
Application Number: 特願2001-070921

出願人
Applicant(s): 三菱電機株式会社

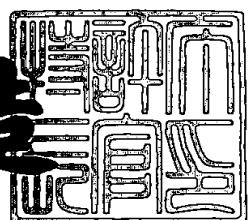
JCE57 U.S. PRO
10/003404
12/06/01



2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3027514

【書類名】 特許願
【整理番号】 528820JP01
【提出日】 平成13年 3月13日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 新居 浩二
【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 五十嵐 元繁
【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社
【代理人】
【識別番号】 100066474
【弁理士】
【氏名又は名称】 田澤 博昭
【選任した代理人】
【識別番号】 100088605
【弁理士】
【氏名又は名称】 加藤 公延
【手数料の表示】
【予納台帳番号】 020640
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

特2001-070921

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 基板上にゲート絶縁膜を介在させて設けたゲート電極、

前記ゲート電極下の前記基板における第1の導電型の部分を間に挟んで対向して形成された、各々前記第1導電型とは異なる第2の導電型である第1および第2の拡散層、

前記ゲート電極よりも上層に形成された配線層、および、

前記配線層と前記基板との間の一つのコンタクトホール内に設けられ、前記配線層を前記第1の拡散層および前記ゲート電極に接続するコンタクトを備えた半導体装置。

【請求項2】 コンタクトは、第2の拡散層にも接続される請求項1記載の半導体装置。

【請求項3】 基板に設けられた第3の拡散層、および、

第1および第3の拡散層の間に形成され、前記第1および第3の拡散層を互いに分離する素子分離領域を備え、

前記コンタクトはさらに第3の拡散層に接続される請求項1または請求項2記載の半導体装置。

【請求項4】 基板上にゲート絶縁膜を介在させて設けたゲート電極、

前記基板上に形成された拡散層、

前記ゲート電極よりも上層に形成された配線層、および、

前記配線層と前記基板との間の一つのコンタクトホール内に設けられ、前記配線層を前記拡散層および前記ゲート電極に接続するコンタクトを備え、

前記拡散層は、前記ゲート電極下の前記基板における第1の導電型の部分を間に挟んで対向して形成された、各々前記第1導電型とは異なる第2の導電型である第1および第2の部分と、前記第1の部分と第2の部分とをつなげる第3の部分とを有する半導体装置。

【請求項5】 コンタクトは、拡散層の第1の部分と第2の部分とに接続している請求項4記載の半導体装置。

【請求項6】 基板に形成された別の拡散層、および、

前記拡散層および別の拡散層の間に形成され、前記拡散層および別の拡散層を分離する素子分離領域を備え、コンタクトはさらに前記別の拡散層に接続される請求項4または請求項5記載の半導体装置。

【請求項7】 S R A Mセルを備え、配線層は前記S R A Mセルの記憶ノードに接続されている、請求項1ないし請求項6のうちのいずれか1項記載の半導体装置。

【請求項8】 フリップフロップ回路を備え、配線層は前記フリップフロップの記憶ノードに接続されている請求項1ないし請求項6のうちのいずれか1項記載の半導体装置。

【請求項9】 基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、前記ゲート絶縁膜の膜圧は前記別のゲート絶縁膜のものより薄い請求項1ないし請求項8のうちのいずれか1項記載の半導体装置。

【請求項10】 基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、前記ゲート絶縁膜の比誘電率は前記別のゲート絶縁膜のものより高い請求項1ないし請求項8のうちのいずれか1項記載の半導体装置。

【請求項11】 ゲート電極下の前記基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、前記第1および第2の拡散層の不純物濃度が前記ソース領域、ドレイン領域のものより高い請求項1ないし請求項3のうちのいずれか1項記載の半導体装置。

【請求項12】 ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、拡散層の不純物濃度が前記ソース領域、ドレイン領域のものより高い請求項4ないし請求項6のうちのいずれか1項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明はソフトエラー耐性の向上を図った半導体装置に関するものである。

【0002】

【従来の技術】

まず、不純物拡散層であるソース・ドレインと、分離領域上にあるゲート電極配線とを電気的に接続する場合を考える。ここで、ソース・ドレインはシリコン基板（もしくはウエル領域）とは反対の導電型の不純物拡散層で形成する。また、ゲート電極配線は多結晶シリコンで形成される場合が多い。

【0003】

通常、分離領域上にあるゲート電極配線の一部分と拡散層の一部分に各々別個のコンタクトホールを開け、それらのコンタクトホールをアルミニウムまたはタンクステン等の金属で共通に覆うことによって電気的に接続する。その際、上記ゲート電極配線と拡散層にまたがった共通の1つのコンタクトホールを開け、そのコンタクトホールを金属で覆うことによって電気的に接続すれば、より面積を小さくすることができる。

【0004】

図30及び図31は従来技術である特開昭61-168265号公報における共通コンタクトホールの構造を示した平面図および断面図である。図において、10はウエル領域、20は拡散層、30はゲート電極、50は層間膜、60は共通コンタクトホールである。この共通コンタクトホール60の構造は、ゲート電極30とソース・ドレインに相当する拡散層20が、ある距離だけ離れて重ならないように位置している。理由は、ゲート電極30がシリコン基板上まで延伸した場合、そのゲート電極下部の薄いゲート酸化膜を突き抜けてゲート電極30と基板が電気的にショートするという問題を避けるためであり、実際はゲート電極30と拡散層20の隔離部分にSiO₂の側壁を設けて基板とのショートも避けているが、図30及び図31では簡略のため図示していない。

【0005】

また、特許第3064999号公報には、シリサイド層とゲート側壁を有する

場合の共通コンタクトホールの構造が図示されており、マスクずれに対する位置マージンを上げるために共通コンタクトホール60の中心をゲート側壁の中心位置にする工夫をしている。

【0006】

また、特開平8-125137号公報には、共通コンタクトホールに抵抗を挿入し、ソフトエラーの抑制を図っている例が示されている。

【0007】

【発明が解決しようとする課題】

従来の半導体装置は以上のように構成されているので、メモリセルの微細化に伴い、パッケージから放出される α 線や宇宙からの中性子線により発生された電子等による外因で記憶ノードに保持されているデータを反転させてしまうというソフトエラーの問題が顕在化している。特に電源電圧が低下するにつれて、その誤動作は顕著に現れてきている。

【0008】

ソフトエラー耐性を上げる一対策案として、記憶ノードの容量（クリティカルチャージと言う）を増やすことによって、外因による記憶データの反転を低減する方法がある。しかしながら、容量を形成するためには、面積が大きくなったり、追加の工程が必要になってコスト増加を招く等、デメリットが多い等の課題があった。

【0009】

この発明は上記のような従来の課題を解消するためになされたもので、セルフサイズを小さくし、かつソフトエラー耐性の向上を図った半導体装置を得ることを目的とする。

【0010】

【課題を解決するための手段】

この発明に係る半導体装置は、基板上にゲート絶縁膜を介在させて設けたゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコン

タクトホール内に設けられ、配線層を第1の拡散層およびゲート電極に接続するコンタクトを備えたものである。

【0011】

この発明に係る半導体装置は、コンタクトは、第2の拡散層にも接続されるものである。

【0012】

この発明に係る半導体装置は、基板に設けられた第3の拡散層、および、第1および第3の拡散層の間に形成され、第1および第3の拡散層を互いに分離する素子分離領域を備え、コンタクトはさらに第3の拡散層に接続されるものである。

【0013】

この発明に係る半導体装置は、基板上にゲート絶縁膜を介在させて設けたゲート電極、基板上に形成された拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコンタクトホール内に設けられ、配線層を拡散層およびゲート電極に接続するコンタクトを備え、拡散層は、ゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の部分と、第1の部分と第2の部分とをつなげる第3の部分とを有するものである。

【0014】

この発明に係る半導体装置は、コンタクトは、拡散層の第1の部分と第2の部分とに接続しているものである。

【0015】

この発明に係る半導体装置は、基板に形成された別の拡散層、および、拡散層および別の拡散層の間に形成され、拡散層および別の拡散層を分離する素子分離領域を備え、コンタクトはさらに別の拡散層に接続されるものである。

【0016】

この発明に係る半導体装置は、S R A Mセルを備え、配線層はS R A Mセルの記憶ノードに接続されているものである。

【0017】

この発明に係る半導体装置は、フリップフロップ回路を備え、配線層はフリップフロップの記憶ノードに接続されているものである。

【0018】

この発明に係る半導体装置は、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の膜厚は別のゲート絶縁膜のものより薄いものである。

【0019】

この発明に係る半導体装置は、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の比誘電率は別のゲート絶縁膜のものより高いものである。

【0020】

この発明に係る半導体装置は、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、第1および第2の拡散層の不純物濃度がソース領域、ドレイン領域のものより高いものである。

【0021】

この発明に係る半導体装置は、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、拡散層の不純物濃度がソース領域、ドレイン領域のものより高いものである。

【0022】

【発明の実施の形態】

以下、この発明の実施の一形態について説明する。

実施の形態1.

図1はこの発明の半導体装置における共通コンタクトの構造を示した平面図、図2は図1の直線A-A'に沿う断面図、図3はその等価回路図である。図1～図3において、10はウエル領域（基板）、20, 21は第1、第2の拡散層、30はゲート電極（電極配線）、40はゲート絶縁膜、50は層間膜、60はコントакトホール、70は素子分離領域を示す。なお、上記ウエル領域10がP型

の場合、その上面に形成される拡散層20，21はN型であり、また、ウエル領域10がN型の場合、拡散層20，21はP型である。

【0023】

まず、図1の平面図について説明する。シリコン基板もしくはウエル領域10内に素子分離領域70で隔てられた素子領域が形成され、ポリシリコン等で形成されたゲート電極30が素子分離領域70から延伸して素子領域を2分割するようく形成されている。ゲート電極30と素子領域との重なり部分でトランジスタTrが形成される。不純物拡散層20，21はウエル領域（基板）10とは反対の導電型の不純物を注入して形成される。ゲート電極30と拡散層20にまたがるように1つのコンタクトホール（共通コンタクトホール）60を開けている。

【0024】

次に図2の断面図について説明する。ウエル領域10上に素子分離領域70で隔てられて第1、第2の拡散層20，21が形成されている。ゲート電極30の下面是、ウエル領域10との間に薄い絶縁膜40を介在させて電気的に絶縁されている。第1、第2の拡散層20，21、素子分離領域70、ゲート電極30上を覆うように層間膜50が形成された後、ゲート電極30と第1の拡散層20にまたがるように共通コンタクトホール60が開けられている。そして、この共通コンタクトホール60をアルミニウムまたはタンクステン等のコンタクト80によって覆うことによって、ゲート電極30と拡散層20および、層間膜50の上面に形成した配線層90を電気的に接続することができる。

【0025】

次に図3の等価回路図について説明する。ゲート電極30と素子領域との重なり部分でトランジスタTrが形成されることから、ゲート電極30、第1、第2の拡散層20，21、ウエル領域10は、各々、トランジスタのゲート端子G、ソース端子S、ドレイン端子D、基板Bに対応している。共通コンタクト60を覆う金属によって、ゲート端子Gとソース端子Sが電気的に接続されている。各々の端子間にはカップリングにより寄生容量が存在し、ゲート・ソース間容量Cgs、ゲート・ドレイン間容量Cgd、ゲート・基板間容量Cgb、ソース・基板間容量Csb、ドレイン・基板間容量Cdbが存在する。なお、ソース端子S

もドレイン端子Dも構造上は同じ不純物拡散層20, 21に対応するため特に区別する必要はない。

【0026】

図3の等価回路において、ゲート絶縁膜40を薄くするほど付加するゲート基板間容量C_{g b}を大きくすることができる。しかし、あまり薄くすると、ゲート・基板間に流れるリーク電流が増大するという問題がある。また、通常のトランジスタの場合、ゲート容量が増えることにより遅産時間が遅くなるというデメリットがある。

【0027】

そこで、前記共通コンタクトホールのゲート絶縁膜40のみの膜厚を、それ以外の通常のトランジスタのゲート絶縁膜の膜厚よりも薄くする。また、ゲート絶縁膜40を誘電率の高い材料で形成しても良い。一般的な酸化シリコンSiO₂で形成したゲート絶縁膜40の比誘電率は3.8程度であるが、それよりも比誘電率の高いものとして、例えばチタン酸化膜やタンタル酸化膜等がある。ゲート・基板間容量C_{g b}は、絶縁膜40の比誘電率に比例するので、前記共通コンタクト部60のみに高誘電率の絶縁膜40を使用することで付加する容量を大きくすることができる。

【0028】

また、前記共通コンタクトホール60を形成する不純物拡散層の不純物濃度を高くしても良い。不純物濃度を高くすることにより、接合容量が増えるので、ソース・基板間容量C_{s b}、ドレイン・基板間容量C_{d b}を大きくすることができる。

【0029】

以上のように、この実施の形態1によれば、ゲート電極30と拡散層20を接続する際、共通コンタクトホール60を覆う金属で電気的に接続することができるので、コンタクト数を減らすことができてより面積を小さくすることができる。さらに、共通コンタクトホール60の下部にトランジスタT_rを形成することにより、トランジスタT_rの各端子間の寄生容量を接続端子に付加することができるので、同時に容量素子を形成できるという利点がある。

【0030】

また、前記共通コンタクトホール60のゲート絶縁膜40のみの膜厚を薄くすることで、付加容量を大きくできるばかりか、スイッチング用のトランジスタのリーク電流増大と遅延増大を抑えることができるという利点がある。

【0031】

さらに、前記共通コンタクトホール60のゲート絶縁膜40のみに比誘電率の高い材料を使うことで、付加容量を大きくできるばかりか、スイッチング用のトランジスタの遅延増大を抑えることができるという利点がある。

【0032】

さらに、前記共通コンタクトホール60の第1の拡散層20の不純物濃度を高くすることで付加容量を大きくできるばかりか、スイッチング用のトランジスタの遅延増大を抑えることができるという利点がある。

【0033】

実施の形態2.

図4はこの発明の実施の形態2の共通コンタクトホール60の構造を示した平面図、図5は図4の直線A-A'線に沿う断面図、図6はその等価回路図であり、前記図1～図3と同一部分には同一符号を付して重複説明を省略する。

【0034】

図4において、ゲート電極30を素子領域の途中まで形成するようにして、拡散層20を1つの領域で形成している。それ以外は実施の形態1と同様であり、断面構造も同じである。

【0035】

拡散層20は図6の等価回路図に示されるように、ソース端子Sとドレイン端子Dに共通に接続される。実施の形態1の場合、ドレイン端子DはトランジスタTrが導通状態の場合はソース端子Sと繋がるが、トランジスタTrが非導通状態の場合、ソース端子Sとは非接続となるため電気的にフローティング状態になる。ゲート・ドレイン間容量Cgd、ドレイン・基板間容量Cdbはドレイン端子Dの電位によって値が変わることから、トランジスタTrが非導通状態でドレイン端子Dがフローティング状態だと容量値が変動してしまう。正確な値の容量

を付加したい場合には適さない。

【0036】

上記のように、この実施の形態2によれば、ゲート端子G、ソース端子S、ドレイン端子Dを共通に接続することで、フローティング端子をなくし、正確な容量値を付加できる。

【0037】

実施の形態3.

図7はこの発明の実施の形態3の共通コンタクトホール60の構造を示した平面図、図8は図7の直線A-A'線に沿う断面図、図9はその等価回路図であり、前記図1～図3と同一部分には同一符号を付して重複説明を省略する。

【0038】

図7において、共通コンタクトホール60はゲート電極30と2つの第1、第2の拡散層20、21にまたがるように開けている。それ以外は実施の形態1と同じであり、等価回路は実施の形態2と同じである。実施の形態2では、拡散層を広げて1つの拡散層を形成して、ソース端子Sとドレイン端子Dを電気的に接続したが、実施の形態3では、共通コンタクトホール60を広げることで、ソース端子Sとドレイン端子Dを接続している。

【0039】

上記のように、この実施の形態2によれば、フローティング端子をなくす事で正確な容量値を付加できるばかりでなく、実施の形態2に比べて少ない面積増加でゲート端子Gとソース端子Sとドレイン端子Dを接続できる。

【0040】

実施の形態4.

図10は実施の形態2と実施の形態3を組み合わせた例を示した平面図、図11は図10の直線A-A'線に沿う断面図、図12はその等価回路図である。共通コンタクトホール60のみで接続した場合、または拡散層20のみで接続した場合、接触面積が小さいと抵抗値が大きく変動する可能性がある。

【0041】

上記のように、この実施の形態4によれば、共通コンタクトホール60と拡散

層20の両方で接続することで、抵抗値の変動を抑えることができる。

【0042】

実施の形態5.

図13はこの発明の実施の形態5による共通コンタクトホール60の構造を示した平面図、図14は図13の直線A-A'線に沿う断面図、図15はその等価回路図である。図14、図15において、10はウエル領域、20、21、22は第1、第2、第3の拡散層、30はゲート電極、40はゲート絶縁膜、50は層間膜、60はコンタクトホール、70は素子分離領域を示す。

【0043】

まず、図13の平面図について説明する。シリコン基板もしくはウエル領域10内に分離領域70で隔てられた素子領域が形成され、ポリシリコン等で形成されたゲート電極30が素子分離領域70から延伸して素子領域を2分割するよう形成されている。ゲート電極30と素子領域との重なり部分でトランジスタTrが形成される。不純物拡散層20、21、22はウエル領域10とは反対の導電型の不純物を注入して形成される。第3の拡散層22は素子分離領域70によって第1、第2の拡散層20、21と分離されている。ゲート電極30と、第1の拡散層20にまたがるように1つのコンタクトホール60を開けている。

【0044】

次に図14の断面図について説明する。ウエル領域10上に素子分離領域70で隔てられて第1、第2、第3の拡散層20、21、22が形成されている。ゲート電極下部は、ウエル領域と薄い絶縁膜40で電気的に絶縁されている。第1、第2、第3の拡散層20、21、22、素子分離領域70、ゲート電極30上を覆うように層間膜50が形成された後、ゲート電極30と第1の拡散層20、素子分離領域70を隔てた第3の拡散層22にまたがるように共通コンタクトホール60が開けられている。アルミニウムまたはタンクスチタン等の金属によって共通コンタクトホール60を覆うことによってゲート電極30と第1、第3の拡散層20、22を電気的に接続することができる。

【0045】

次に図15の等価回路図について説明する。ゲート電極30と素子領域との重

なり部分でトランジスタ T_r が形成されることから、ゲート電極 30、第1、第2の拡散層 20, 21、ウエル領域 10 は、各々、トランジスタ T_r のゲート端子 G、ソース端子 S、ドレイン端子 D、基板 B に対応している。共通コンタクト 60 によって、ゲート端子 G とソース端子 S が電気的に接続されている。各々の端子間にはカップリングにより寄生容量が存在し、ゲート・ソース間容量 C_{gs} 、ゲート・ドレイン間容量 C_{gd} 、ゲート・基板間容量 C_{gb} 、ソース・基板間容量 C_{sb} 、ドレイン・基板間容量 C_{db} が存在する。

【0046】

なお、ソース端子 S もドレイン端子 D も構造上は同じ不純物拡散層に対応するため特に区別する必要はない。また、第1、第2の拡散層 20, 21 と第3の拡散層 22 は、反対の導電型の不純物注入であっても問題ない。例えば、ウエル領域 10 が N 型の導電型の場合、不純物拡散層 20, 21, 22 は P 型でも良いし、不純物拡散層 20, 21 は P 型、不純物拡散層 22 は N 型でも問題ない。また、第1、第2の拡散層 20, 21 の下部ウエル領域と、第3の拡散層 22 の下部のウエル領域の導電型が反対であっても問題ない。その場合、第1の拡散層 20 と第3の拡散層 22 の間の分離領域に PN 分離が存在することになる。

【0047】

以上のように、この実施の形態 5 によれば、ゲート電極 30 と分離領域 70 で分離された 2 つの第1、第3の拡散層 20, 22 を接続する際、共通の 1 つのコンタクトホール 60 で電気的に接続することができるので、共通コンタクトホールの数を減らすことができて、より面積を小さくすることができる。また、共通コンタクトホール 60 の下部にトランジスタ T_r を形成することにより、トランジスタ T_r の各端子間の寄生容量を接続端子に付加することができるので、同時に容量素子を形成できるという利点がある。

【0048】

実施の形態 6.

図 16 は実施の形態 5 を変形したこの発明の実施の形態 6 を示した平面図、図 17 は図 16 の直線 A-A' 線に沿う断面図、図 18 はその等価回路図である。実施例 2 と同様に、トランジスタ T_r のソースとドレインを 1 つの拡散領域 20

で形成したものである。

【0049】

上記のように、この実施の形態6によれば、実施の形態2と同様にゲート端子G、ソース端子S、ドレイン端子Dを共通に接続することで、フローティング端子をなくし、正確な容量値を付加できるようにしている。

【0050】

実施の形態7.

図19は実施の形態5を変形したこの発明の実施の形態7を示した平面図、図20は図19の直線A-A'線に沿う断面図であり、実施の形態5と同一部分には同一符号を付して重複説明を省略する。

【0051】

図19、図20において、共通コンタクトホール60はゲート電極30と第1、第2、第3の拡散層20、21、22にまたがるように開けている。それ以外は実施の形態5と同じであり、等価回路は図15と同じである。実施の形態6では、第1の拡散層20を広げて1つの拡散層を形成してソース端子Sとドレイン端子Dを電気的に接続したが、実施の形態7では、共通コンタクトホール60を広げることで、ソース端子Sとドレイン端子Dを接続している。

【0052】

上記のように、この実施の形態7によれば、実施の形態6で述べたように、フローティング端子をなくすことで正確な容量値を付加できるばかりでなく、実施の形態6に比べて少ない面積増加でゲート端子Gとソース端子Sとドレイン端子Dを接続できる。

【0053】

実施の形態8.

図21は実施の形態6と実施の形態7を組み合わせたこの発明の実施の形態8の平面図、図22は図21の直線A-A'線に沿う断面図であり、等価回路図は図15と同じである。共通コンタクトホール60のみで接続した場合、または拡散層のみで接続した場合、接触面積が小さいと抵抗値が大きく変動する可能性がある。共通コンタクトホール60と第1の拡散層20の両方で接続することで、

抵抗値の変動を抑えることができる。

【0054】

実施の形態9.

次に、この発明の共通コンタクトホール60をSRAMメモリセルに適用した実施の形態9について説明する。図23は、SRAMメモリセルのレイアウト平面図、図24はその等価回路図を示す。図23、図24において、PW0、PW1はPウエル領域、NWはNウエル領域、FL100・FL101・FL110・FL111・FL112・FL113・FL200・FL201・FL210・FL211・FL220・FL221はP+拡散領域もしくはN+拡散領域、PL1・PL2・PL3・PL4はポリシリコン配線層、AL1・AL2は金属配線、N1・N2・N3・N4はNMOSトランジスタ、P1・P2・P3・P4はPMOSトランジスタ、CH100・CH110・CH111・CH112・CH200・CH201・CH210・CH211・CH221はコンタクトホール、VDDは電源線、GNDは接地線、BL1・BL2はビット線、WL1、WL2はワード線、a、bは記憶ノードを示す。

【0055】

まず、図24に示す等価回路でSRAMメモリの回路構成について説明する。NMOSトランジスタN1とPMOSトランジスタP1で第1のインバータを構成し、NMOSトランジスタN2とPMOSトランジスタP2で第2のインバータを構成する。

【0056】

第1、第2のインバータの一方の出力端子は他方の入力端子に互いに接続して記憶ノードa、bを構成する。NMOSトランジスタN3のソース、ゲート、ドレインを各々、一方の記憶端子a、ワード線WL1、一方のビット線BL1に接続する。NMOSトランジスタN4のソース、ゲート、ドレインを各々、他方の記憶端子b、ワード線WL2、他方のビット線BL2に接続する。P3、P4は容量付加の為に形成したPMOSトランジスタである。このPMOSトランジスタP3のゲート端子G及びソース端子Sを記憶端子aに接続し、PMOSトランジスタP4のゲート端子G及びソース端子Sを記憶端子bに接続する。以上のよ

うに接続することで、SRAMメモリセル回路を構成する。

【0057】

次に、図23のレイアウト平面図に示すSRAMメモリセルのレイアウト構成について説明する。図において、1つのN型のウエル領域NWと、2つのP型のウエル領域PW0, PW1を形成する。PMOSトランジスタP1, P2, P3, P4は、図に示すように1つのNウエル領域NW内に形成する。

【0058】

そして、第1、第4のNMOSトランジスタN1, N4は、一方のPウエル領域PW0内に形成し、第2、第3のNMOSトランジスタN2, N3は、他方のPウエル領域PW1内に形成する。図中で示した拡散領域FLとポリシリコン配線層PLの重なりの部分がトランジスタになる。

【0059】

PMOSトランジスタP1, P4とNMOSトランジスタN1のゲート端子Gは共通のポリシリコン配線PL1で共通に記憶端子bに接続される。PMOSトランジスタP2, P3とNMOSトランジスタN2のゲート端子Gは共通のポリシリコン配線PL2で共通に記憶端子aに接続される。Nウエル領域NW内のFL100, FL101, FL110, FL111, FL112, FL113にはP型不純物を注入してP+拡散領域を形成する。Pウエル領域PW0, PW1内のFL200, FL201, FL210, FL211, FL220, FL221にはN型不純物を注入してN+拡散領域を形成する。

【0060】

N+拡散層FL210, P+拡散層FL110は共通コンタクトホールCH110及びコンタクトホールCH210と金属配線AL1を介してポリシリコン配線PL2と低インピーダンスで電気的に接続される。この部分は、図24の等価回路図中に示す記憶ノードの一方の端子aに対応する。また、N+拡散層FL211, P+拡散層FL111は共通コンタクトホールCH111及びコンタクトホールCH211と金属配線AL2を介してポリシリコン配線PL1と低インピーダンスで電気的に接続される。この部分は、図24の等価回路図中に示す記憶ノードの他方の端子bに対応する。

【0061】

P+拡散領域FL100, FL101はコンタクトホールCH100, CH101を介してVDD電位に接続される。図24において、PMOSトランジスタP1, P2のソースに対応する。N+拡散層FL200, FL201は各々CH200, CH201を介してGND電位に接続される。図24において、NMOSトランジスタN1, N2のソースに対応する。N+拡散層FL220, FL221は、コンタクトホールCH220, 221を介してビット線BL1, BL2に各々接続される。ポリシリコン配線PL3及びPL4は、コンタクトホールCH230, CH231を介してワード線WL1, WL2に各々接続される。なお、「膜圧」、「比誘電率」、「不純物濃度」の各パラメータについて、PMOSトランジスタP3, P4は、少なくともアクセストランジスタであるNMOSトランジスタN3, N4と相違させれば良く、P1, P2, N3, N4は、P3, P4と同じであっても相違させても良い。

【0062】

以上のように、この実施の形態9によれば、共通コンタクトホールCH110, 111で拡散領域とポリシリコン配線を接続しているため、SRAMメモリセルを構成するのに必要なコンタクト数を減らすことができ、面積を小さくすることができます。そして、共通コンタクトホールCH110, 111の部分でPMOSトランジスタP3, P4を形成することで、面積の増加なく容量を記憶端子a, bに付加する事ができる。

【0063】

これにより、 α 線等により発生した電子が、記憶ノードの保持データを反転させようとしても、記憶端子の容量が大きいと記憶ノードの電位の変化が遅くなるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果が得られる。

【0064】

実施の形態10。

次に、この発明の共通コンタクトホール60をSRAMメモリセルに適用した他の実施の形態10について説明する。図25は、SRAMメモリセルのレイア

ウト平面図、図26はその等価回路図を示すもので、図23、図24と同一部分は同一符号を付して重複説明は省略する。

【0065】

まず、図26の等価回路図について説明する。容量付加のために追加したPMOSトランジスタP3、P4の各々のゲート端子、ソース端子、ドレイン端子を共通に接続して、記憶端子a、bに接続している以外は、実施の形態9で示した等価回路図と同じである。

【0066】

次に、図25についてレイアウト構成を説明する。共通コンタクトホールCH110、CH111を広げて、P型拡散層FL110とFL112、FL111とFL113を共通に接続した以外は実施の形態9のレイアウト構成と同じである。

【0067】

上記のように、この実施の形態10によれば、実施の形態9で示した効果以外に、フローティング端子をなくすことができるので、正確な容量値を記憶端子a、bに付加できるという利点がある。

【0068】

実施の形態11。

次に、この発明の共通コンタクトホールをSRAMメモリセルに適用した実施の形態11について説明する。図27は、SRAMメモリセルのレイアウト平面図、図28はその等価回路図を示すもので、前記実施の形態9による図23、図24と同一部分は同一符号を付して重複説明は省略する。

【0069】

図27のレイアウト平面図において、共通コンタクトホールCH300は、FL210、FL110、FL112及びポリシリコン配線PL2にまたがるように形成している。

【0070】

また、共通コンタクトホールCH301は、FL211、FL111、FL113及びポリシリコン配線PL1にまたがるように形成している。N+拡散層F

L210、P+拡散層FL110、FL112は共通コンタクトホールCH300を介してポリシリコン配線PL2と低インピーダンスで電気的に接続される。この部分は、図28の等価回路図中に示す記憶ノードの一方の端子aに対応する。また、N+拡散層FL211、P+拡散層FL111、FL113は共通コンタクトホールCH301を介してポリシリコン配線PL1と低インピーダンスで電気的に接続される。この部分は、図28の等価回路図中に示す記憶ノードの他方の端子bに対応する。

【0071】

以上のように、この実施の形態11によれば、共通コンタクトCH300、CH301で拡散領域とポリシリコン配線を接続しているため、SRAMメモリセルを構成するのに必要なコンタクト数を減らすことができ、面積を小さくすることができます。そして、共通コンタクトホールCH300、CH301のNウエル内の部分でPMOSトランジスタP3、P4を形成することで、面積の増加なく容量を記憶端子a、bに付加することができる。

【0072】

これにより、 α 線等により発生した電子が、記憶ノードの保持データを反転させようとしても、記憶端子の容量が大きいと記憶ノードの電位の変化が遅くなるため、データの反転が起こりにくくなる。つまり、ソフトエラー耐性が向上するという効果が得られる。更に、フローティング端子をなくすことができるので、正確な容量値を記憶端子a、bに付加できるという利点がある。

【0073】

実施の携帯12.

図1～図22の容量付加用のトランジスタが、SRAMセルに適用される例が、図23～図28に示しているが、SRAMセル以外にも例えば、フリップフロップ回路にも適用される。このフリップフロップ回路の例を図29に示す。図中の記憶ノードM1～M4の各々に、実施の形態1から実施の形態8のいずれかの容量付加用のトランジスタが接続されるもので、上記の各実施の形態と同様な利点がある。A、Aバーは、論理が互いに相補なクロック信号、O、Oバーはトランクファゲートで互いに相補にON/OFFする。

【0074】

【発明の効果】

以上のように、この発明によれば、基板上にゲート絶縁膜を介在させて設けたゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコンタクトホール内に設けられ、配線層を第1の拡散層およびゲート電極に接続するコンタクトを備えるように構成したので、面積の小さい高集積なS R A Mメモリセルが実現できるばかりでなく、ソフトエラー耐性が向上するという効果がある。

【0075】

この発明によれば、コンタクトは、第2の拡散層にも接続される様に構成したので、上記と同様な効果が得られる。

【0076】

この発明によれば、基板に設けられた第3の拡散層、および、第1および第3の拡散層の間に形成され、第1および第3の拡散層を互いに分離する素子分離領域を備え、コンタクトはさらに第3の拡散層に接続されるように構成したので、フローティング端子をなくし、正確な容量値を付加できる効果がある。

【0077】

この発明によれば、基板上にゲート絶縁膜を介在させて設けたゲート電極、基板上に形成された拡散層、ゲート電極よりも上層に形成された配線層、および、配線層と基板との間の一つのコンタクトホール内に設けられ、配線層を拡散層およびゲート電極に接続するコンタクトを備え、拡散層は、ゲート電極下の基板における第1の導電型の部分を間に挟んで対向して形成された、各々第1導電型とは異なる第2の導電型である第1および第2の部分と、第1の部分と第2の部分とをつなげる第3の部分とを有するように構成したので、フローティング端子をなくし、正確な容量値を付加できるばかりでなく、少ない面積増加でゲート端子Gとソース端子Sとドレイン端子Dを接続できる効果がある。

【0078】

この発明によれば、コンタクトは、拡散層の第1の部分と第2の部分とに接続ように構成したので、上記と同様な効果が得られる。

【0079】

この発明によれば、基板に形成された別の拡散層、および、拡散層および別の拡散層の間に形成され、拡散層および別の拡散層を分離する素子分離領域を備え、コンタクトはさらに別の拡散層に接続されるように構成したので、SRAMメモリセルを構成するのに必要なコンタクト数を減らすことができ、面積の増加なく容量を記憶端子に付加することができる効果がある。

【0080】

この発明によれば、SRAMセルを備え、配線層はSRAMセルの記憶ノードに接続されているように構成したので、同時に容量素子を形成できる効果がある。

【0081】

この発明によれば、フリップフロップ回路を備え、配線層はフリップフロップの記憶ノードに接続されているように構成したので、上記と同様な効果が得られる。

【0082】

この発明によれば、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の膜圧は別のゲート絶縁膜のものより薄く構成したので、付加容量を大きくできるばかりか、通常のトランジスタのリーク電流増大と遅延増大を抑えることができる効果がある。

【0083】

この発明によれば、基板上に別のゲート絶縁膜を介在させて設けた別のゲート電極を有し、半導体集積回路を構成するためのトランジスタを備え、ゲート絶縁膜の比誘電率は別のゲート絶縁膜のものより高いように構成したので、付加容量を大きくできるばかりか、通常のトランジスタの遅延増大を抑えることができる効果がある。

【0084】

この発明によれば、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、第1および第2の拡散層の不純物濃度がソース領域、ドレイン領域のものより高いように構成したので、付加容量を大きくできるばかりか、通常のトランジスタの遅延増大を抑えることができる効果がある。

【0085】

この発明によれば、ゲート電極下の基板におけるチャネル部分を間に挟んで対向して形成されたソース領域およびドレイン領域を有し、半導体集積回路を構成するためのトランジスタを備え、拡散層の不純物濃度がソース領域、ドレイン領域のものより高いように構成したので、上記と同様な効果が得られる。

【図面の簡単な説明】

【図1】 この発明の半導体装置における共通コンタクトホールの構造を示した平面図である。

【図2】 図1の直線A-A'に沿う断面図である。

【図3】 その等価回路図である。

【図4】 この発明の実施の形態2の共通コンタクトホール60の構造を示した平面図である。

【図5】 図4の直線A-A'線に沿う断面図である。

【図6】 その等価回路図である。

【図7】 この発明の実施の形態3の共通コンタクトホール60の構造を示した平面図である。

【図8】 図7の直線A-A'線に沿う断面図である。

【図9】 その等価回路図である。

【図10】 この発明の実施の形態4の共通コンタクトホール60の構造を示した平面図である。

【図11】 図10の直線A-A'線に沿う断面図である。

【図12】 その等価回路図である。

【図13】 この発明の実施の形態5の共通コンタクトホール60の構造を示した平面図である。

【図14】 図13の直線A-A' 線に沿う断面図である。

【図15】 その等価回路図である。

【図16】 この発明の実施の形態6の共通コンタクトホール60の構造を示した平面図である。

【図17】 図16の直線A-A' 線に沿う断面図である。

【図18】 その等価回路図である。

【図19】 この発明の実施の形態7の共通コンタクトホール60の構造を示した平面図である。

【図20】 図19の直線A-A' 線に沿う断面図である。

【図21】 この発明の実施の形態8の共通コンタクトホール60の構造を示した平面図である。

【図22】 図21の直線A-A' 線に沿う断面図である。

【図23】 この発明の実施の形態9によるSRAMメモリセルのレイアウト平面図である。

【図24】 その等価回路図である。

【図25】 この発明の実施の形態10によるSRAMメモリセルのレイアウト平面図である。

【図26】 その等価回路図である。

【図27】 この発明の実施の形態11によるSRAMメモリセルのレイアウト平面図である。

【図28】 その等価回路図である。

【図29】 この発明の実施の形態12によるフリップフロップ回路の等価回路図である。

【図30】 従来における共通コンタクトホールの構造を示した平面図である。

【図31】 図29の直線A-A' 線に沿う断面図である。

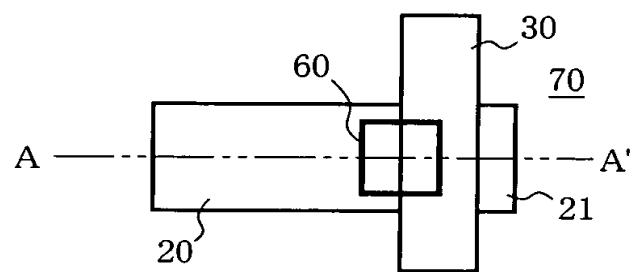
【符号の説明】

10 ウエル領域、20, 21, 22 拡散層、30 ゲート電極、40 ゲート絶縁膜、50 層間膜、60 共通コンタクトホール、70 素子分離領域

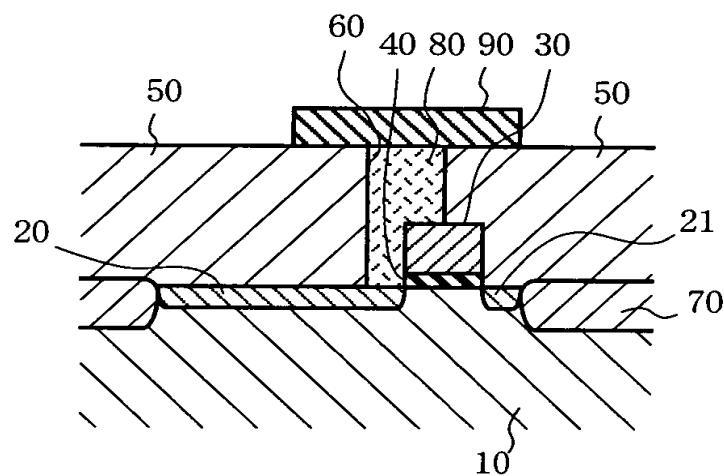
、80 コンタクト、90 配線層 C_db ドレイン・基板間容量、C_gb
ゲート・基板間容量、C_gd ゲート・ドレイン間容量、C_gs ゲート・ソ
ース間容量、C_sb ソース・基板間容量。

【書類名】 図面

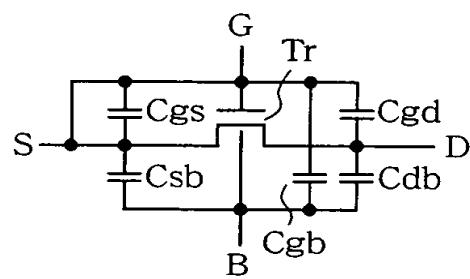
【図1】



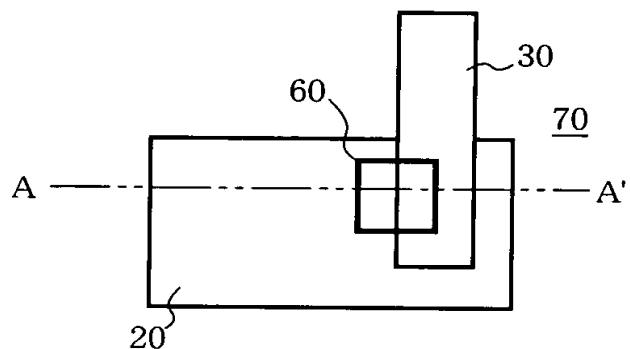
【図2】



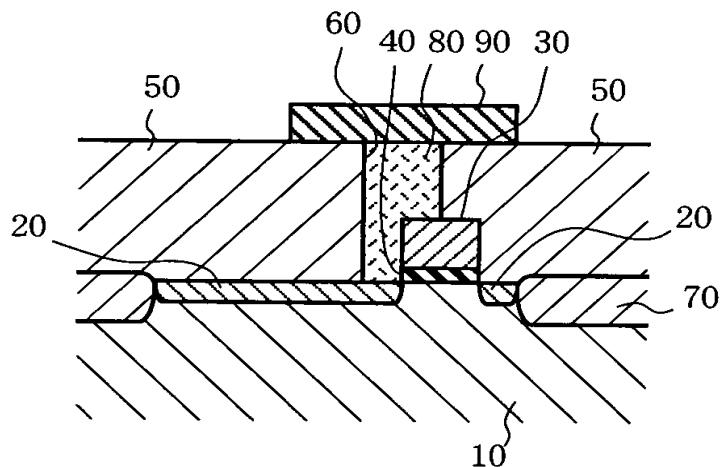
【図3】



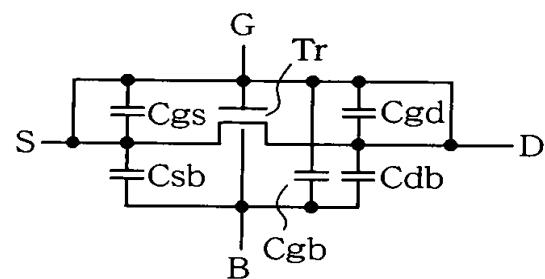
【図4】



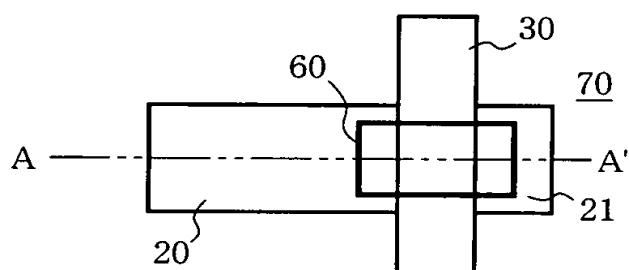
【図5】



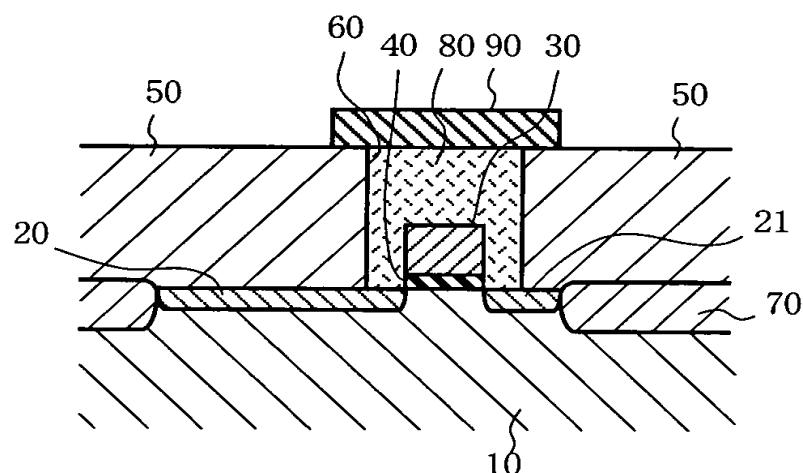
【図6】



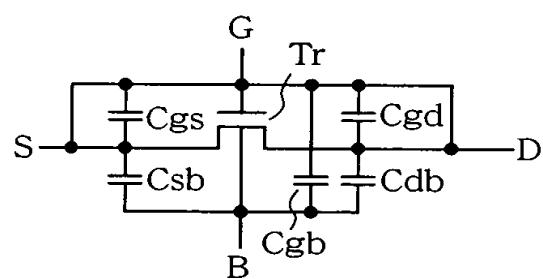
【図7】



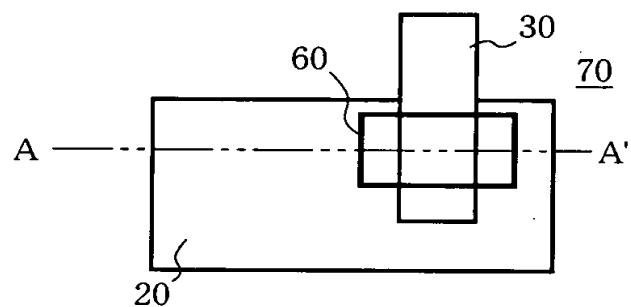
【図8】



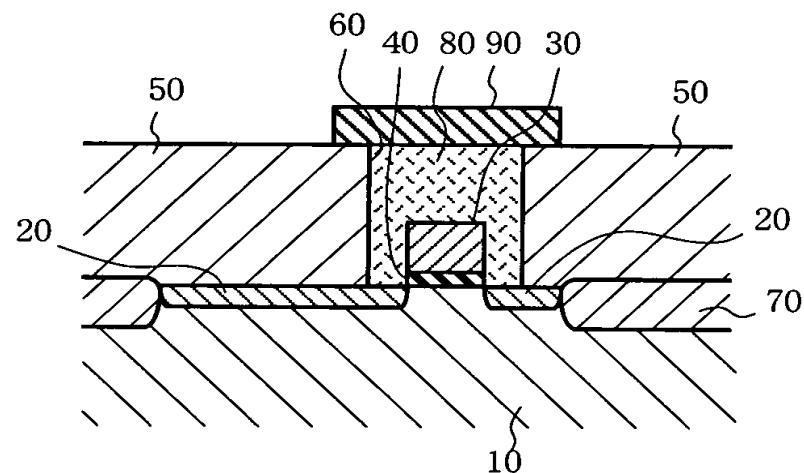
【図9】



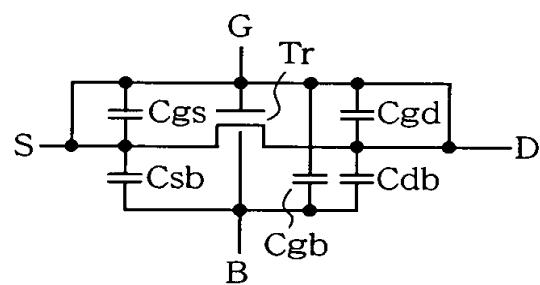
【図10】



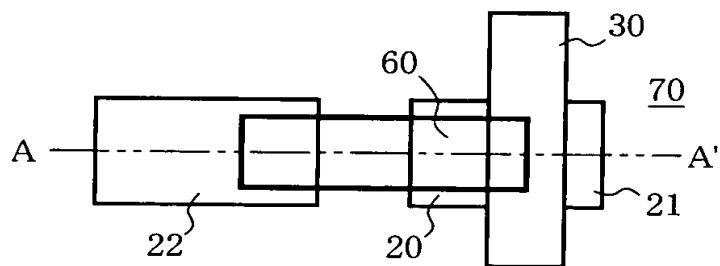
【図11】



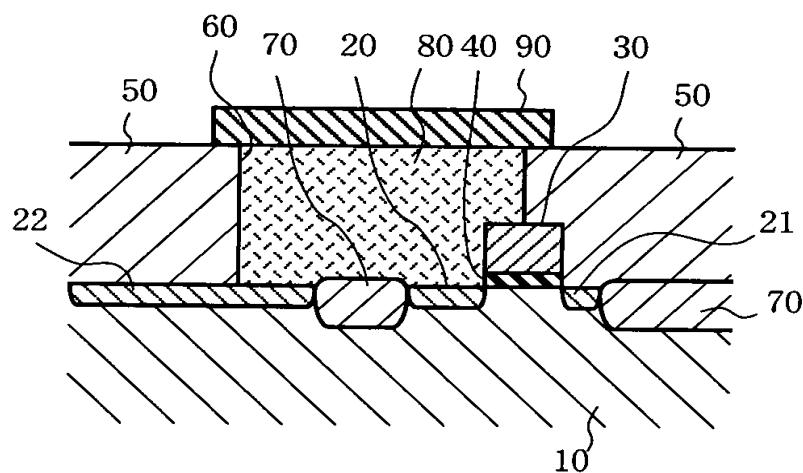
【図12】



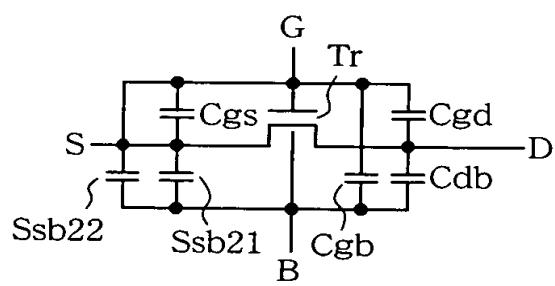
【図13】



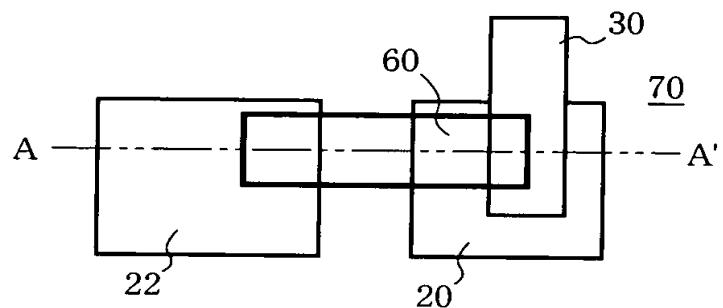
【図14】



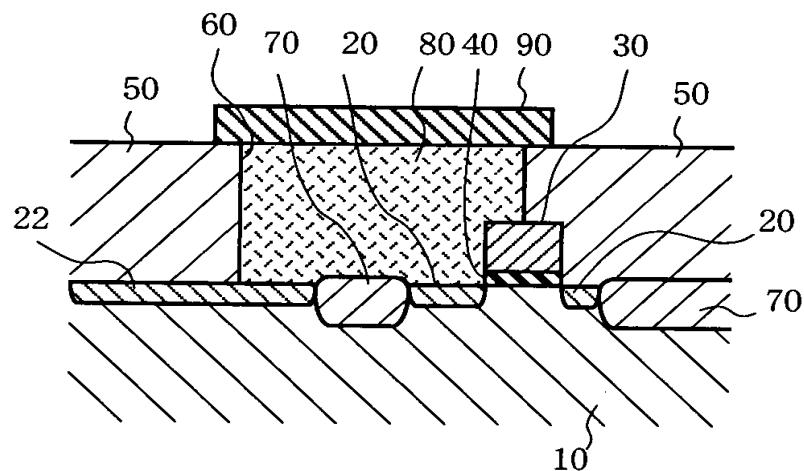
【図15】



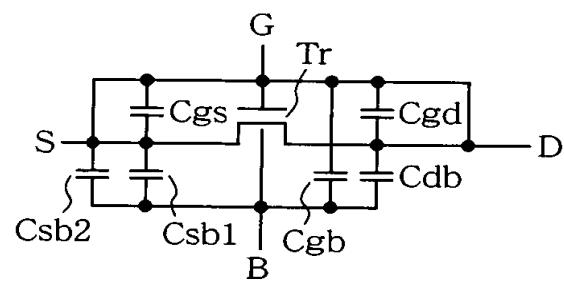
【図16】



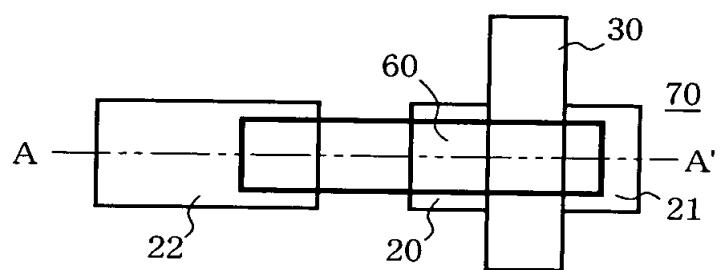
【図17】



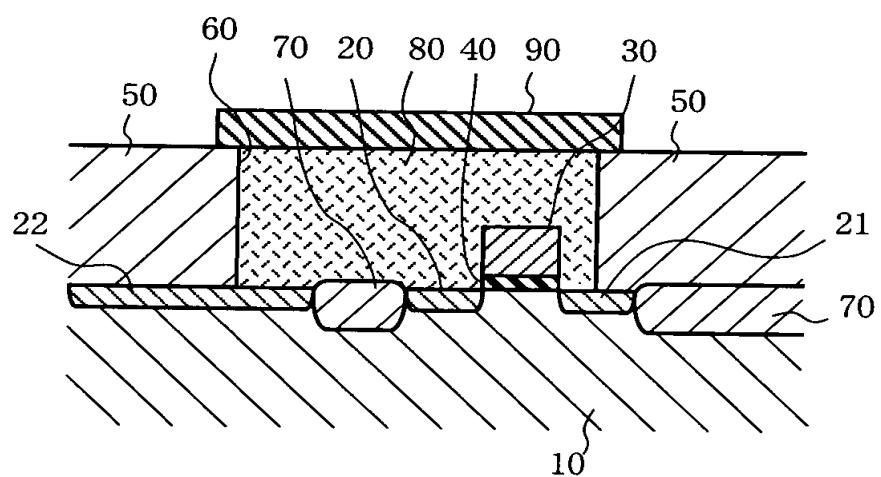
【図18】



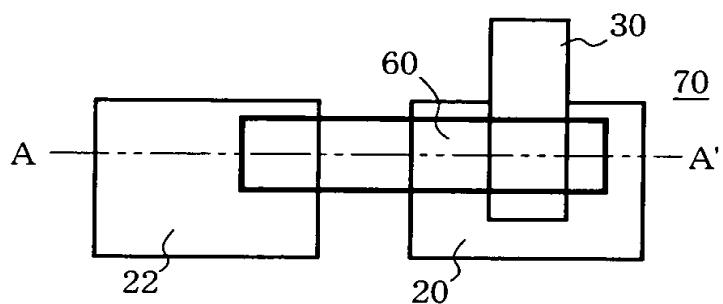
【図19】



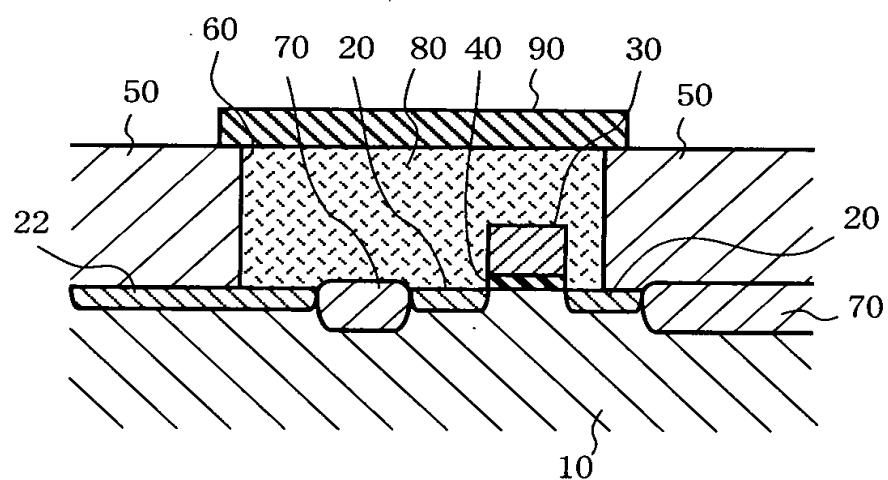
【図20】



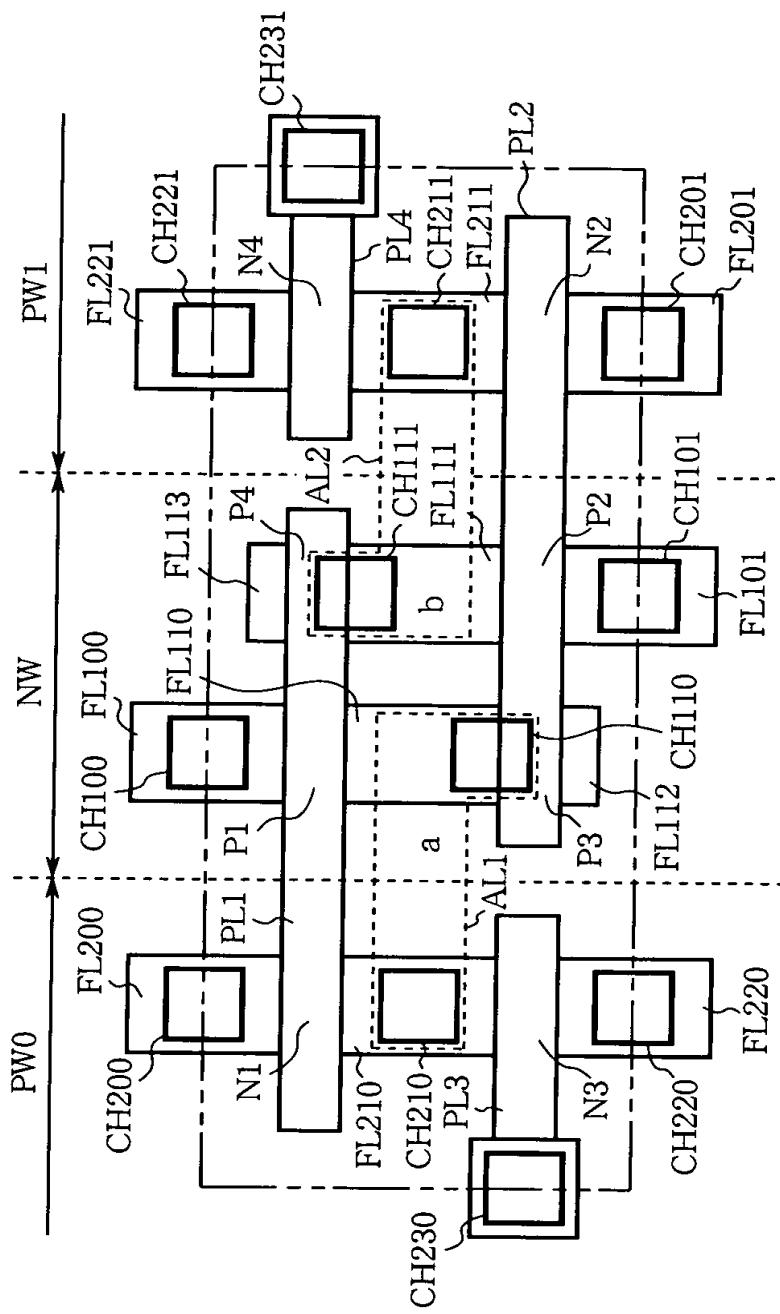
【図21】



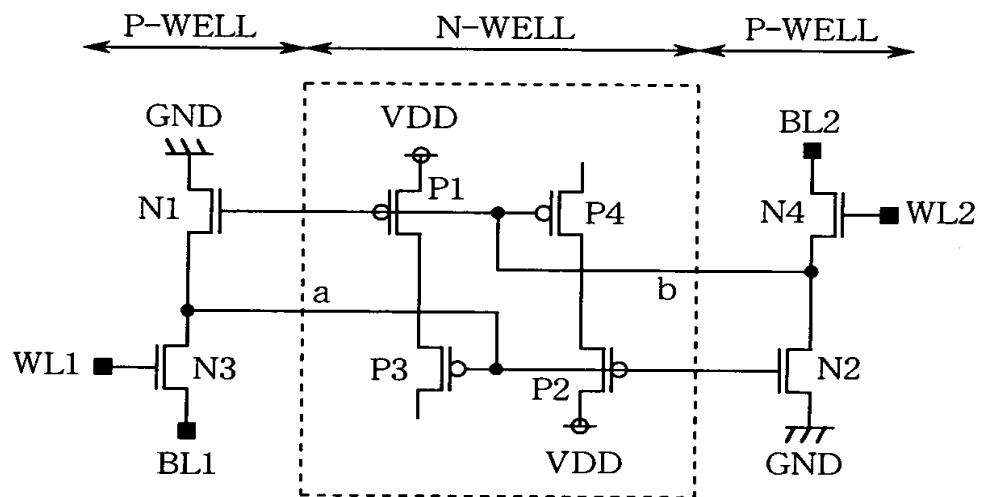
【図22】



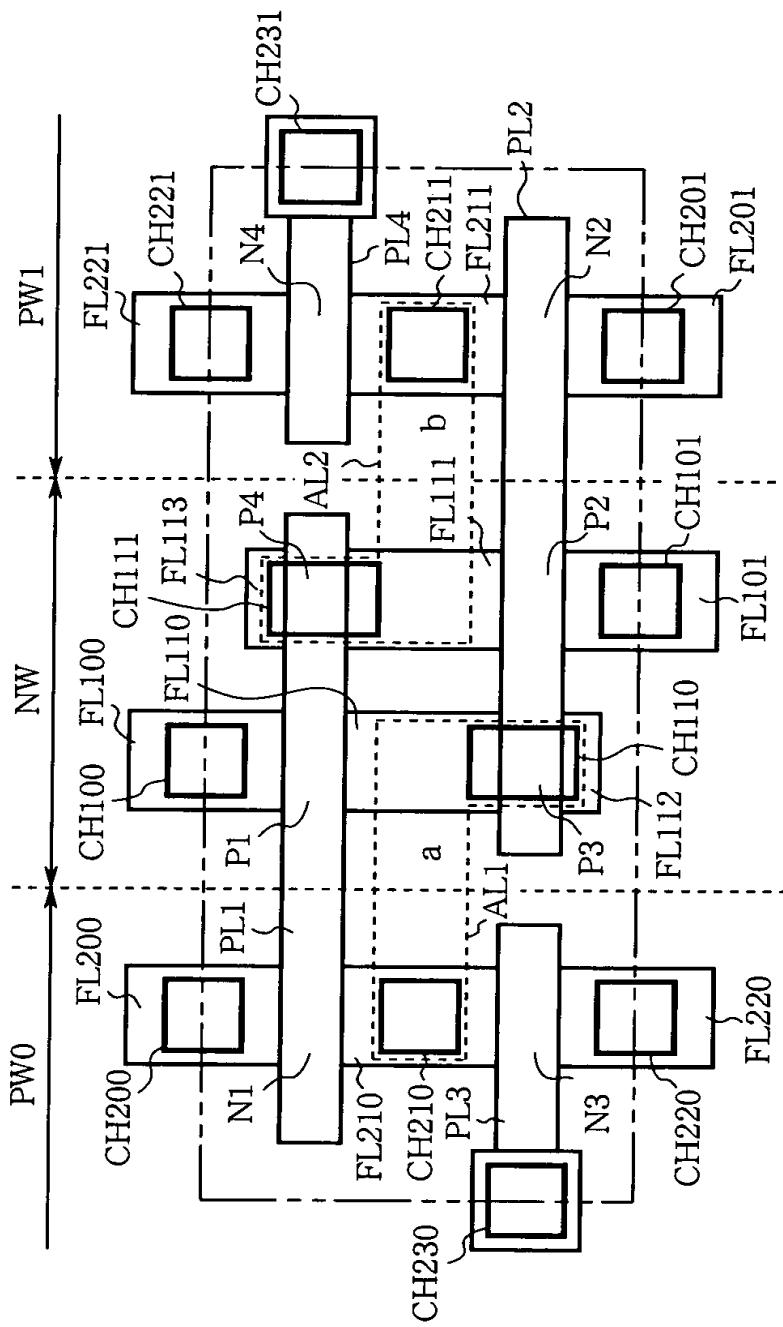
【図23】



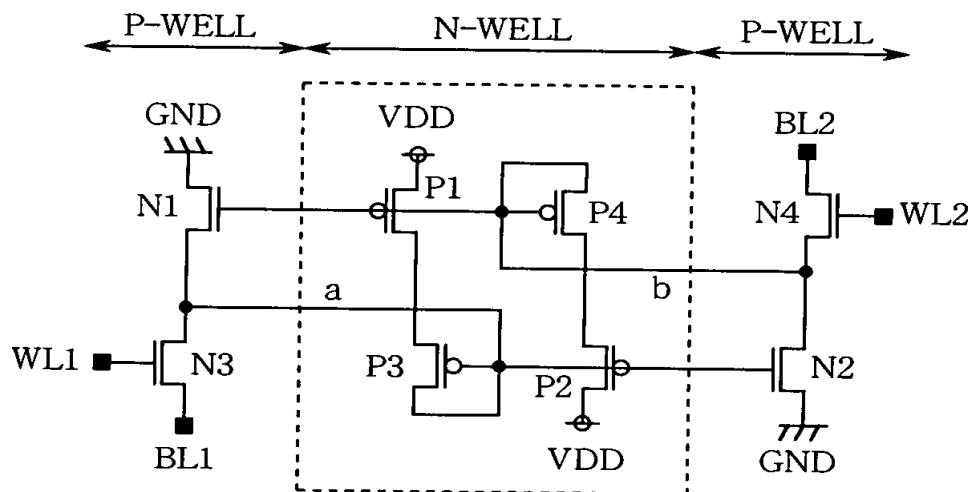
【図24】



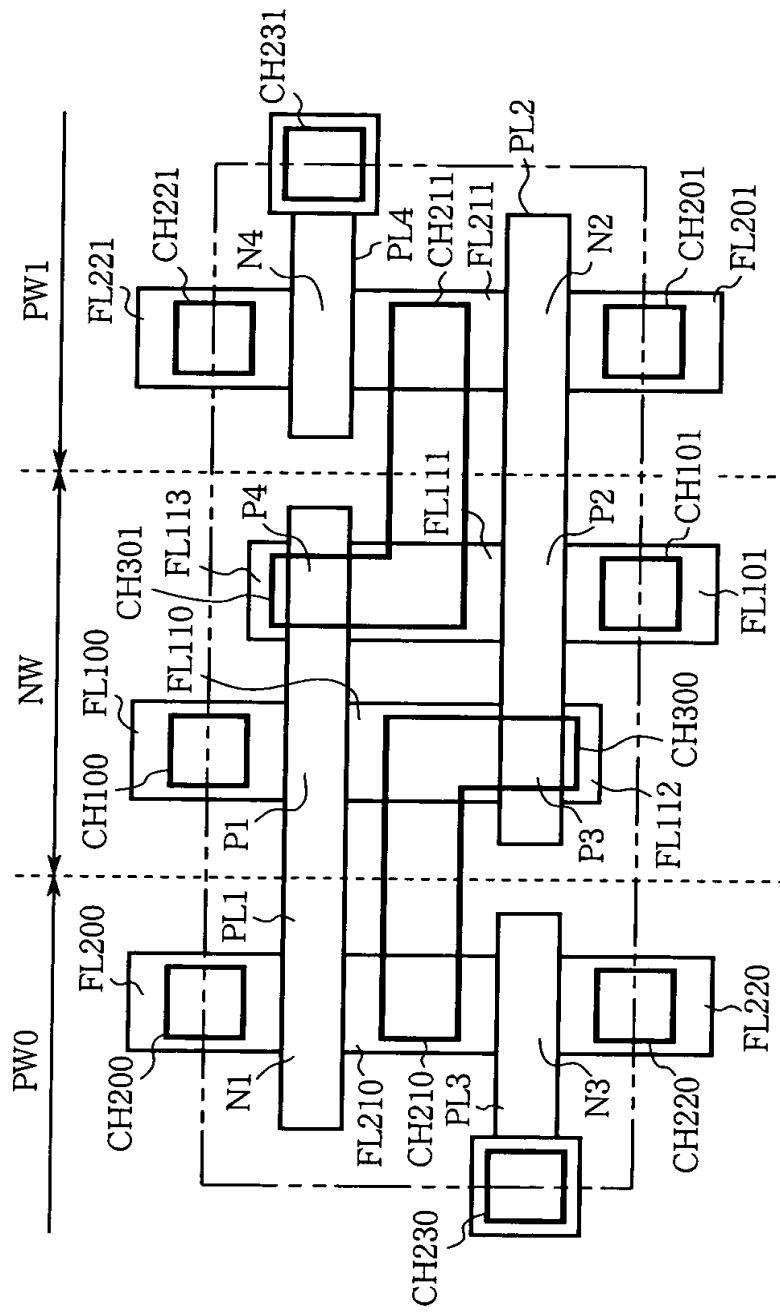
【図25】



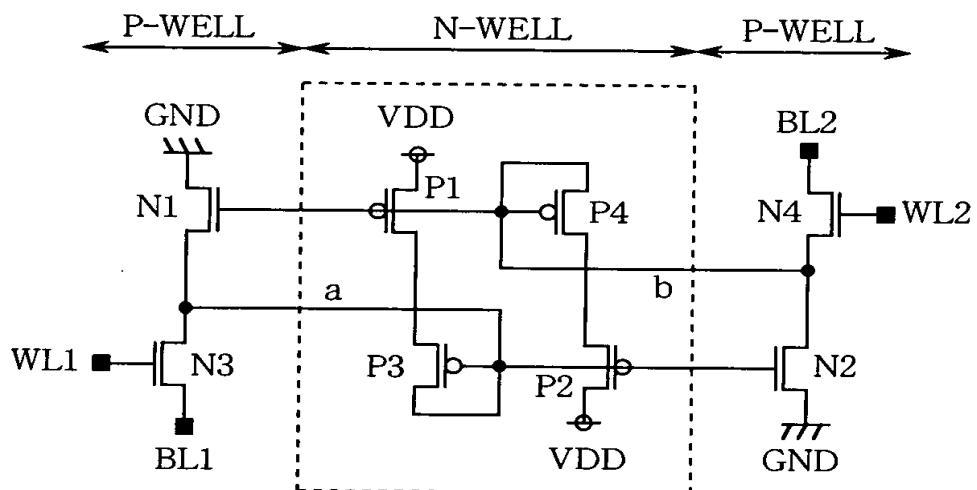
【図26】



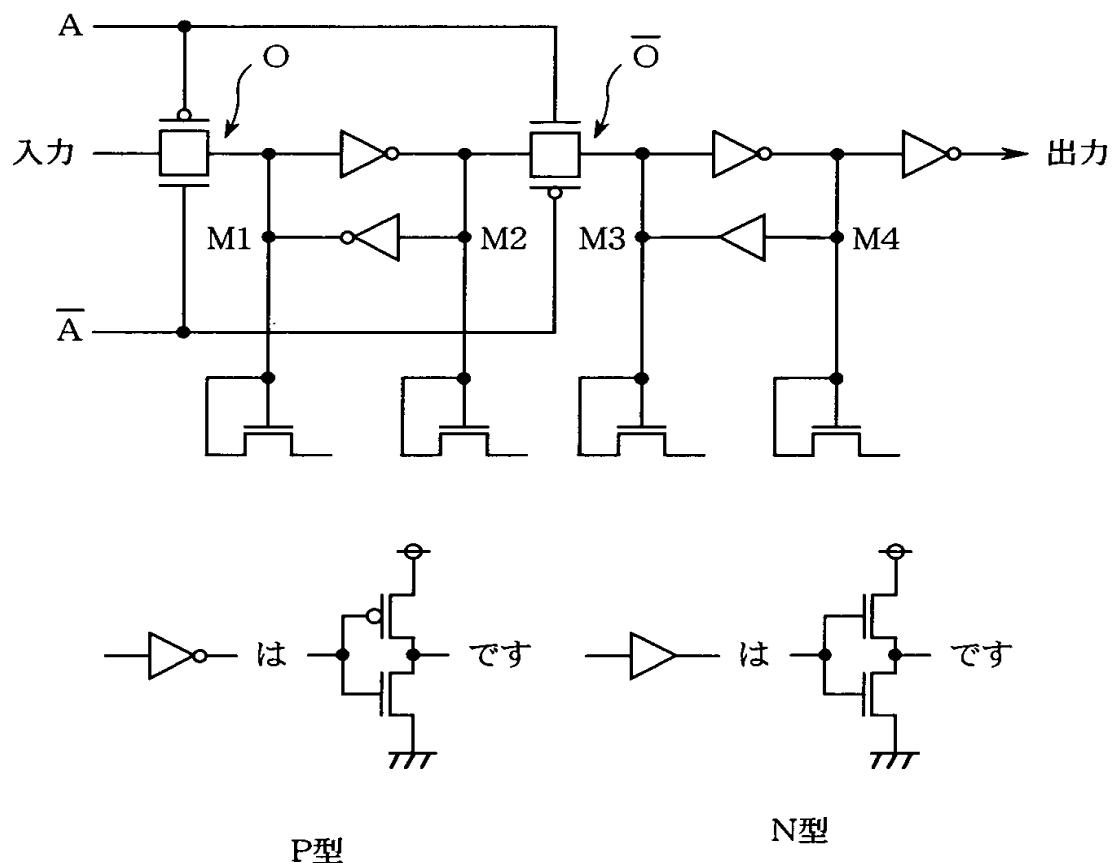
【図27】



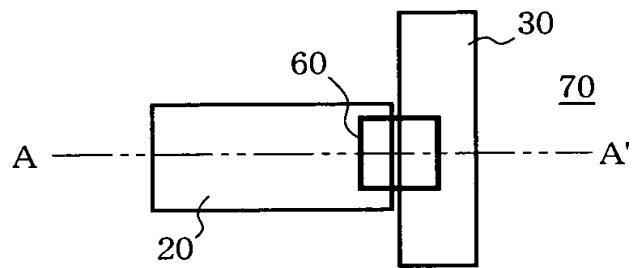
【図28】



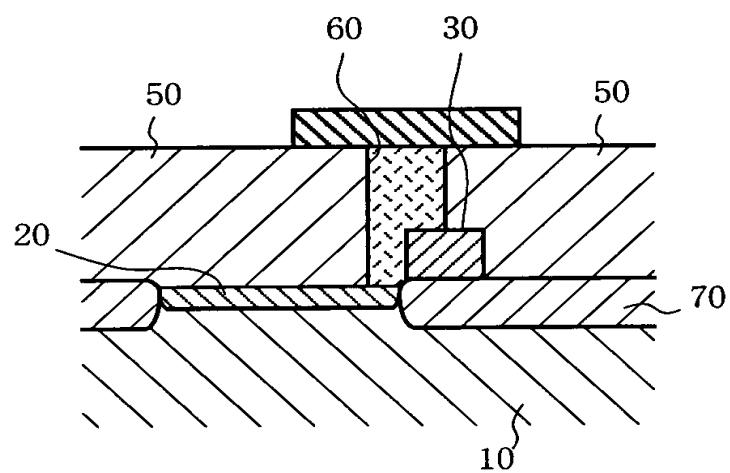
【図29】



【図30】



【図31】



【書類名】 要約書

【要約】

【課題】 メモリセルの微細化に伴い、パッケージから放出される α 線や宇宙からの中性子線により記憶データを反転させるソフトエラーが生じ、このソフトエラー耐性を上げるために大きな面積を必要とする課題があった。

【解決手段】 ゲート電極と、ソース・ドレイン端子を形成する拡散層とを接続する共通コンタクトホールでトランジスタを形成し、このトランジスタのゲート電極と基板間の容量及びゲート電極とソース・ドレイン端子間の容量を付加した接続端子とを備えたものである。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社